

2000年2月2日 15時21分

JAPIO

NO. 3055 P. 2/7

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08064725 A

(43) Date of publication of application: 08.03.98

(51) Int. Cl

H01L 23/28
B42D 15/10
H01L 21/304
H01L 21/56
H01L 21/301
H01L 21/321

(21) Application number: 06215239

(22) Date of filing: 18.08.94

(71) Applicant:

SONY CORP

(72) Inventor:

KIHIRA TORU
FUKAZAWA HIROYUKI
KOJIMA AKIRA

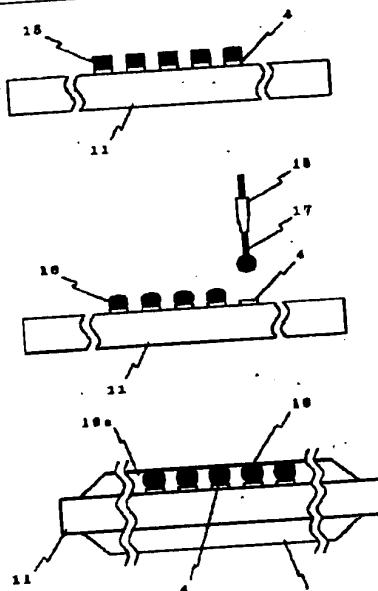
(54) RESIN-SEALED SEMICONDUCTOR DEVICE AND
ITS MANUFACTURE

(57) Abstract:

PURPOSE: To realize a semiconductor package of a chip size and achieve the thickness reduction of the package and the high integration of a semiconductor chip by a method wherein bumps or Au balls are formed on the electrodes of a semiconductor chip and the bumps or the Au balls are exposed from the surface of molding resin.

CONSTITUTION: A semiconductor wafer 11 is composed of a plurality of chips. A respective circuit pattern is formed in each chip and electrode pads 4 with which the semiconductor chip is connected electrically to an external circuit are provided around each chip. Bumps 15 or Au balls 16 are formed on the electrode pads 4. Then the bumps 15 or the Au balls 16 are exposed from the surface 19a of molding resin. With this constitution, various inconveniences which are shown by various types of prior art semiconductors can be solved, a semiconductor package of a chip size can be realized and, further, the thickness reduction of the package and the high integration of the chip can be achieved.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64725

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.⁸
H 01 L 23/28
B 42 D 15/10
H 01 L 21/304

識別記号 庁内整理番号
Z 6921-4E
5 2 1
3 3 1

F I

技術表示箇所

H 01 L 21/78
21/92 Z
9169-4M 6 0 4 J
審査請求 未請求 請求項の数 5 FD (全 9 頁) 最終頁に続く

(21) 出願番号 特願平6-215239

(22) 出願日 平成6年(1994)8月18日

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 紀平 徹
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72) 発明者 深澤 博之
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72) 発明者 小島 明
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

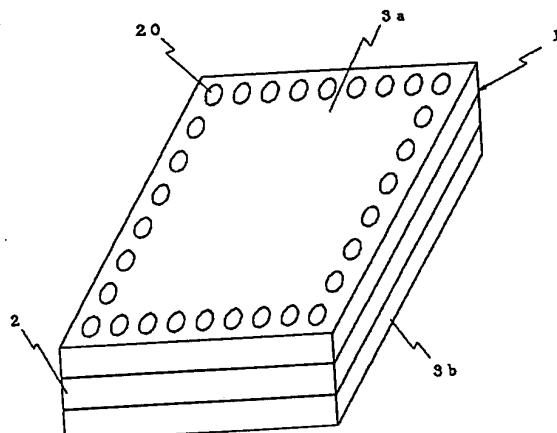
(54) 【発明の名称】 樹脂封止型半導体装置およびその製造方法

(57) 【要約】

【目的】 電子回路が集積、形成された半導体チップをトランスマーキング法により樹脂で封止した半導体装置によって、ICカードやメモリカード用パッケージ等に最適な薄型の樹脂封止型半導体装置を提供する。

【構成】 半導体チップの電極上にパンプまたはA u ボールを形成し、該パンプまたはA u ボールをモールド樹脂の表面に露出させる。

【効果】 パッケージの厚さを、従来の各種方式に比べて薄くすることができるので、メモリカードなどへの多段実装、ISO規格のカードへの実装が可能となる。また、パッケージサイズをチップと同サイズとすることができるので、実装面積を小さくすることができ、高密度実装が可能になる等の効果が得られる。



【特許請求の範囲】

【請求項1】 半導体チップの電極上にバンプまたはAuポールを形成し、該バンプまたはAuポールをモールド樹脂の表面に露出させたことを特徴とする樹脂封止型半導体装置。

【請求項2】 請求項1の樹脂封止型半導体装置の製造方法であり、

半導体ウェハーのそれぞれの半導体チップの電極上にバンプまたはAuポールを形成し、その後に前記半導体ウェハーの表面および／または裏面にモールドすることを特徴とする樹脂封止型半導体装置の製造方法。

【請求項3】 請求項2の製造方法により得られたモールド済みの半導体ウェハーにおいて、モールド樹脂の表面にバンプまたはAuポールが露出していない、もしくは充分な露出面積が得られないとき、必要に応じてモールド樹脂表面を研削して、前記バンプまたはAuポールを露出させることを特徴とする樹脂封止型半導体装置の製造方法。

【請求項4】 請求項2または請求項3の製造方法により得られたモールド済みの半導体ウェハーにおいて、ダイシングを施して、単体に分割することを特徴とする樹脂封止型半導体装置の製造方法。

【請求項5】 請求項1の樹脂封止型半導体装置の製造方法であり、個々に分割された半導体チップの電極上にバンプまたはAuポールを形成し、その後に前記半導体チップの表面および／または裏面にモールド樹脂を形成し、必要に応じて樹脂表面を研削して、前記バンプまたはAuポールを露出させることを特徴とする樹脂封止型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、電子回路が集積、形成された半導体チップ（以下、ICチップという）をトランシスファーモールド法により樹脂で封止した樹脂封止型半導体装置とその製造方法に関する。具体的にいえば、この発明は、薄型パッケージやBGAに係り、特に、ICカードやメモリカード用パッケージ等に最適な樹脂封止型半導体装置とその製造方法に関する。

【0002】

【従来の技術】 近年、樹脂封止型半導体装置のパッケージは軽薄短小化の傾向にある。その中でも、特に薄型半導体パッケージは、今後、メモリカードの高容量化のために、需要の増加が見込まれている。このような現在のパッケージとメモリカードの傾向を図で説明する。

【0003】 図17は、薄型半導体パッケージの厚さと、JEIDAの規格のICメモリカードの厚さとの関係を示す図である。

【0004】 この図17に示すように、現在のICメモリカードの厚さは、JEIDAの規格により、3.3m

mとなっている。その一方で、現在の薄型半導体パッケージは、1.0mm厚のものが主流であり、上述の厚さ3.3mmのメモリカードの場合には、両面実装することが可能である（図17の左上の欄）。

【0005】これを現在開発中の厚さ0.5mmの半導体パッケージに置き換えると、4段実装まで可能となり、メモリー容量的にも、厚さ1.0mmのパッケージの場合に比較して、2倍に拡大することができる（図17の右上の欄）。また、メモリカードの場合には、上述の高容量化のほかに、カードそれ自体を薄型化する傾向にある。

【0006】例えば、次の段階のカードの規格として、JEIDAによって厚さ2.2mmのカードが定められている（図17の下の欄）。この厚さのメモリカードの場合、厚さ1.0mmの半導体パッケージは、片面実装しかできないが（図17の左下の欄）、厚さ0.5mm以下のパッケージになると、2段以上の多段実装が可能となる（図17の右下の欄）。

【0007】さらに、薄型化メモリカードは、ISO規格の厚さ0.76mm（クレジットカードと同じ厚さ）のスマートカードとして応用することも考えられる。スマートカードの側面を、次の図に示す。

【0008】図18は、超薄型ICパッケージについて、ISO規格のスマートカードへのモジュールの応用例を示す側面図である。

【0009】この図18に示すように、スマートカードの厚さが0.76mmになると、現現の厚さ1.0mmのパッケージでは、もはや搭載不可能となる。そのため、厚さ0.5mm以下の半導体装置（半導体パッケージ）が必要となる。

【0010】このような要求に応じて、厚さ0.76mmのスマートカードと同等のサイズのメモリカードに実装するために、COB（チップ・オン・ボード）方式やテープキャリア方式なども提案されている。その実装形態を、次の図19と図20で説明する。

【0011】図19は、COB方式のICパッケージについて、その実装形態の一例を示す側面図である。図において、51は半導体チップ、52は基板、53は接着剤、54はAu線、55は電極パッド、56は基板パッドを示す。

【0012】この図19に示すように、COB方式では、半導体チップ51を直接基板52の上に搭載し、チップ51上の電極パッド55から基板52のメッキ上などにワイヤボンドを行う方法が採用されている。

【0013】図20は、テープキャリア方式のICパッケージについて、その実装形態の一例を示す側面図である。図における符号は図19と同様であり、57はテープ、58はバンプを示す。

【0014】テープキャリア方式では、この図20に示すように、半導体チップ51の電極パッド55をテープ

57にパンプ58で接続して、基板52等に実装する方法が用いられている。しかしながら、これらの図19や図20に示した従来方式でも、次のような問題点がある。例えば、図19のCOB方式においては、モジュールの不良率が高い。

【0015】また、図20のテープキャリア方式においては、コストが極めて高価な上、実装の自動化が困難である、という問題点がある。さらに、以上に述べたリードを有する半導体装置を実装する方式や、COB方式、テープキャリア方式などでは、チップの周囲に配置されたリードや、基板上のメッキ部分にワイヤボンディングを行ったり、テープで電極パッドに接続しなければならないので、基本的に電極パッドをチップの周辺部に配置する必要がある。

【0016】そのため、チップ内の配線を無理に引き回さなければならず、結果的に、半導体デバイスの高集積化やチップサイズの縮小化への大きな妨げとなっている。また、従来から、以上のような問題点を解決するために、ワイヤやテープを有しないフリップチップ方式なども実施されている。

【0017】図21は、フリップチップ方式のICパッケージについて、その実装形態の一例を示す側面図である。図における符号は図19および図20と同様である。

【0018】このフリップチップ方式は、図21に示すように、半導体チップ51の電極パッド55上にパンプ58を予め形成し、このパンプ58で直接基板52に接着固定する方式である。このような方式を用いれば、実装面積やチップサイズの縮小化が可能となり、カードの高容量化を実現することができる。

【0019】しかしながら、従来のCOB方式、テープキャリア方式あるいはフリップチップ方式などのように、樹脂封止型半導体装置以外の方式では、半導体チップがモールド樹脂で覆われていない構造が多いため、チップ表面が外力によってダメージを受けることが多い。さらに、これらの方針においては、半導体チップの表面の保護のためにボッティング樹脂を滴下して封止を行う場合もあるが、トランスマーモールドによる樹脂封止の方式と比較して、樹脂の厚さの制御が困難である。

【0020】その上、封止工程では、ほとんど加圧しないで行うため、封止する樹脂そのものがボラスであり、その分だけ水分などを透過しやすく、耐湿性等、半導体装置の信頼性の面で劣る、などの問題がある。以上のように、従来の各種方式の半導体装置には、いずれも一長一短があり、現在求められているチップサイズで、かつ、パッケージの薄型化とチップの高集積化とが可能な半導体装置は、存在していない、という問題があつた。

【0021】

【発明が解決しようとする課題】この発明では、従来の

各種方式の半導体装置がもつている多くの不都合を解決し、チップサイズの半導体パッケージを提供すると共に、パッケージの薄型化とチップの高集積化とを可能にした樹脂封止型半導体装置およびその製造方法を提供することを目的とする。

【0022】

【課題を解決するための手段】この発明は、第1に、半導体チップの電極上にパンプまたはAuポールを形成し、該パンプまたはAuポールをモールド樹脂の表面に露出させた構成の樹脂封止型半導体装置としている。

【0023】第2に、上記第1の樹脂封止型半導体装置の製造方法であり、半導体ウェハーのそれぞれの半導体チップの電極上にパンプまたはAuポールを形成し、その後に前記半導体ウェハーの表面および/または裏面にモールドする樹脂封止型半導体装置の製造方法である。

【0024】第3に、上記第2の製造方法により得られたモールド済みの半導体ウェハーにおいて、モールド樹脂の表面にパンプまたはAuポールが露出していない、もしくは充分な露出面積が得られないとき、必要に応じてモールド樹脂表面を研削して、前記パンプまたはAuポールを露出させる製造方法である。

【0025】第4に、上記第2または第3の製造方法により得られたモールド済みの半導体ウェハーにおいて、ダイシングを施して、単体に分割することを特徴とする製造方法である。

【0026】第5に、上記第1の樹脂封止型半導体装置の製造方法であり、個々に分割された半導体チップの電極上にパンプまたはAuポールを形成し、その後に前記半導体チップの表面および/または裏面にモールド樹脂を形成し、必要に応じて樹脂表面を研削して、前記パンプまたはAuポールを露出させる製造方法である。

【0027】

【作用】この発明では、電極パッドの上にパンプまたは金(Au)ポールを形成した半導体チップの表面および/または裏面を、モールド樹脂で封止し、モールド樹脂の表面または裏面を露出させれば、外部との電気的接続が可能になる、という点に着目して、チップサイズの半導体パッケージを実現すると共に、パッケージの薄型化、チップの高集積化を可能している。

【0028】具体的にいえば、この発明の樹脂封止型半導体装置では、メモリカードなどの実装基板回路中の半導体素子を改良して、モールド樹脂保護における電気特性の保証や品質信頼性等を維持すると共に、フリップチップ素子等と同等の面実装密度を達成し、高集積の実装を可能にしている(請求項1の発明)。また、このような樹脂封止型半導体装置を製造するための製造方法について提案する(請求項2から請求項5の発明)。

【0029】

【実施例1】次に、この発明の樹脂封止型半導体装置およびその製造方法について、図面を参照しながら、その

実施例を詳細に説明する。この実施例は、請求項1から請求項5の発明に対応している。

【0030】すでに述べたように、この発明の半導体装置（IC）は、半導体チップの電極上にバンプまたはAuポールを形成し、電極をモールド樹脂の片側の表面に露出させた超薄型の構成である。この実施例では、半導体装置の両面をモールド樹脂で封止した場合である。また、この発明の半導体装置について、斜視図でその構成を説明する。

【0031】図1は、この発明の半導体装置について、一実施例を示す斜視図である。図において、1はこの発明の半導体装置（IC）、2は半導体チップ、3はモールド樹脂で、3aは表側のモールド樹脂、3bは裏側のモールド樹脂、20は外部電極（メッキ層）を示す。

【0032】この図1に示すように、この発明の半導体装置1は、中央の半導体ウェハー2の両面がモールド樹脂3で覆われており、外部電極（メッキ層）20が、その片面の表側のモールド樹脂3aから露出されている。このように構成することにより、パッケージの薄型化が可能となり、同時にメモリカードなどの高容量化も実現される。

【0033】また、リードを有しないチップと同サイズの樹脂封止型半導体パッケージが得られるので、実装面積を小さくすることができる。しかも、回路構成上も極めて強固であるから、信頼性の高い高密度実装が可能になる。次に、図1に示したこの発明の半導体装置1の製造工程を、図2から図11を用いて説明する。

【0034】図2は、この発明の半導体装置1を得るための半導体ウェハーの一例を示す斜視図である。図において、11は半導体ウェハー、12はオリフラを示す。

【0035】図3は、図2に示した半導体ウェハー11の中に形成されている1素子を示す概略図である。図において、4は電極パッド、13はチップ、14はスカライブライインを示す。

【0036】この図3に示すように、半導体ウェハー11は複数のチップ13から構成されている。各チップ13は、その後、通常はウェハー状態で裏面研削を施した後、ダイシングの工程において個々に分割される。各チップ13には、それぞれ回路パターンが形成され、また、主としてチップ13の周囲部に、外部との電気的な接続を行うための電極パッド4が形成されている。

【0037】図4は、図2に示した半導体ウェハー11について、電極パッド4が形成されたチップ13周囲部の要部断面図である。図における符号は図2および図3と同様である。

【0038】図5は、図4に示した半導体ウェハー11において、その電極パッド4の上にバンプを形成した状態を示す要部断面図である。図における符号は図2および図3と同様であり、15はバンプを示す。

【0039】図4に示した半導体ウェハー11の電極パ

ッド4の上に、従来から行われている方法によって、バンプ15を形成する。このような処理によって、図5に示したように、電極パッド4の上にバンプ15が形成される。

【0040】図6は、通常のワイヤボンディング方式によって、電極パッド4上にAuポールを形成した状態を示す要部断面図である。図における符号は図2および図3と同様であり、16はAuポール、17はAu線、18はキャビラリを示す。

【0041】また、バンプ15の代りに、図6に示すように、電極パッド4の上にAuポール16を形成してもよい。以上の工程によって、半導体ウェハー11の電極パッド4上に、バンプ15またはAuポール16を形成した後、樹脂封止を行う。

【0042】図7は、半導体ウェハー11の樹脂封止工程を説明する図で、モールド金型に挿み込んだ状態を示す概略断面図である。図における符号は図6と同様であり、21はモールド金型で、21Aはその上金型、21Bは下金型、22Aは上キャビティ、22Bは下キャビティ、23Aは上ランナー、23Bは下ランナー、24Aは上ゲート、24Bは下ゲートを示す。

【0043】先の図6で説明した工程が終了したチップ13は、この図7に示すように、モールド金型21に入れられて、樹脂封止される。すなわち、半導体ウェハー11を上金型21Aと下金型21Bとで上下から挿み込み、半導体ウェハー11の表側と裏側をモールド樹脂3で成形する。

【0044】この場合に、半導体ウェハー11の両面の樹脂3は、薄く広い範囲にモールドする必要があるので、モールド樹脂3の硬化温度や粘度特性、さらにモールド金型21の成形温度、射出圧力、射出時間、予熱時間などのモールド条件を最適化して行う。その後、従来のウェハーの裏面研削と同様の工程で、表側および裏側のモールド樹脂3a、3bの薄膜を研削し、後出の図10に示すように、バンプ15またはAuポール16をモールド樹脂3aの表面に露出させる。

【0045】このとき、バンプ15またはAuポール16の露出面積がほぼ均一になるように、予めバンプ15の面積もしくはAuポール16の大きさを調整しておく。なお、先の図7に示した実施例では、バンプ15もしくはAuポール16はモールド樹脂3aに完全に覆われており、外部との接続を行うために、モールド樹脂3aの研削の工程が必要となる。

【0046】図8は、図6の半導体ウェハー11をモールド金型21に挿み込み、Auポール16が上金型21Aに接した状態を示す概略断面図である。図における符号は図6および図7と同様である。

【0047】この図8に示すように、予めバンプ15もしくはAuポール16を高めに形成しておき、モールド金型21で挿み込んだときに、上型21Aの内面にこれ

らのパンプ15もしくはAuポール16の先端が当たるようにしておく。この方法によれば、成形後に、すでにパンプ15もしくはAuポール16の一部がモールド樹脂表面上に露出されているので、図7のような研削の工程を省くことができる。

【0048】図9は、半導体ウェハー11を図7または図8に示したモールド金型21で成形した後の状態を示す概略斜視図である。図における符号は図2と同様であり、19はモールド樹脂で、19aは表側モールド樹脂、19bは裏側モールド樹脂を示す。

【0049】図10は、モールド成形済みの半導体ウェハー11のモールド樹脂19を研削し、表面にAuポール16を露出させた状態を示す概略断面図である。

【0050】図11は、表側モールド樹脂19aの表面に露出させたAuポール16の上にメッキを施した後の状態を示す断面図である。図において、20はメッキ層を示す。

【0051】図7や図8で説明したように、半導体ウェハー11をモールド金型21を使用してモールド成形を行うと、図9に示すように、両面がモールド樹脂19a、19bで用われた半導体ウェハー11が得られる。このようにして得られた半導体ウェハー11に、図10に示すように、両面のモールド樹脂19を研削して、表側モールド樹脂19aの表面にAuポール16を露出させる。

【0052】その後、図11に示すように、露出したパンプ15もしくはAuポール16の上に半田メッキ等の処理を行って、メッキ層20を形成する。以上の図2から図11のような処理工序が行われ、モールド成形ウェハー11にダイシングを施して個々の単体にすれば、図1に示したような基板実装が可能な形態の半導体装置(I C)1が得られる。

【0053】この第1実施例で説明した半導体装置(半導体パッケージ)では、半導体のチップ13の表面がモールド樹脂3a、3bに覆われているので、チップ表面がダメージを受けることがなく、また耐湿性も確保することが可能である。その上、リードを有しないチップと同サイズの樹脂封止型半導体パッケージが得られるので、実装面積も小さくすることができる。

【0054】

【実施例2】この実施例も、請求項1から請求項5の発明に対応している。先の第1の実施例では、半導体装置1の両面をモールド樹脂3a、3bで封止した場合を説明したが、この第2の実施例では、半導体装置1の片面だけをモールド樹脂で封止する点に特徴を有している。最初に、この第2の実施例の半導体装置を斜視図で説明する。

【0055】図12は、この発明の半導体装置の第2の実施例を示す斜視図である。図における符号は図1と同様であり、31はこの発明の半導体装置を示す。

【0056】この図12に示す半導体装置31は、その上面(表側)のみにモールド樹脂3aが形成されている点を除けば、先の第1の実施例で説明した図1の半導体装置1と基本的に同様の構成である。次に、図12に示す半導体装置31の製造工程を、図13と図14を用いて説明する。

【0057】図13は、この発明の第2の実施例において、半導体ウェハー11の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。図における符号は図6と同様であり、32はモールド成形用上金型、32Aはそのキャビティ、32Bはランナー、32Cはゲート、33は下金型を示す。

【0058】この第2の実施例でも、図2から図6までの工程は共通しており、半導体ウェハー11の電極パッド4上にAuポール16を形成した状態で、その上面にモールド成形を行う。このモールド成形工程では、図13に示すように、半導体ウェハー11の表側のみにモールド樹脂3aを成形する。

【0059】このように半導体ウェハー11の片側だけにモールド樹脂3aの薄膜を形成させると、熱線膨張率の違いから、ウェハー11に反りが生じることがある。そこで、この場合には、モールド樹脂3aの熱線膨張係数が、半導体ウェハー11のそれに近い値の材料を選択するのが好ましい。

【0060】図14は、図13でモールド成形された半導体ウェハー11を上下研削し、露出したAuポール16の上にメッキを施した状態を示す断面図である。図における符号は図11および図13と同様である。

【0061】このような工程が終了した後、モールド樹脂3aの表面、また必要に応じて半導体ウェハー11の裏面を、先の第1の実施例で述べたのと同様な方法で研削する。さらに、露出したAuポール16(もしくはパンプ15)の上に半田メッキ等の処理を行って、メッキ層20を形成する。

【0062】なお、半導体ウェハー11の裏面を研削する理由は、原理的には半導体ウェハー11の表層数十 μ mのアクティブ層を残していれば、デバイスとしては正常に機能し得るが、全体の厚さが100 μ m程度までの半導体装置31を得るために、その裏面も研削すれば、超薄型パッケージを実現することが可能になるからである。その後、図13と図14の工程を行った半導体ウェハー11を個々の単体に分割すれば、先の図12に示したような半導体装置31が得られる。

【0063】

【実施例3】第1と第2の実施例では、両面をモールド樹脂3a、3bで封止した半導体装置1や、片面をモールド樹脂3aで封止した半導体装置31を製造する場合に、図2に示したような半導体ウェハー11を使用する場合を述べた。この第3の実施例では、半導体ウェハー11を予め個々のチップ単体に分割しておき、その後

に、第1の実施例で述べたのと同様な方法で、電極パッド4の上にバンプ15もしくはAuポール16を形成する点に特徴を有している。

【0064】したがって、得られる半導体装置1、31は、先の第1や第2の実施例と同様である。この第3のは、実施例について、図15と図16を用いて説明する。

【0065】図15は、半導体ウェハー11から個々に分割されたチップ単体を示す斜視図である。図における符号は図3と同様であり、41はチップ単体を示す。

【0066】図16は、この発明の第3の実施例において、半導体チップ単体41の樹脂封止工程を説明する図で、モールド成形用金型に挟み込んだ状態を示す概略断面図である。図における符号は図13および図15と同様である。

【0067】基本的な処理工程は、先に述べた第1や第2の実施例と同様であり、図2に示したような半導体ウェハー11を、予め図15に示すようなチップ単体41に分割する。この図15に示した状態で、第1の実施例で述べたのと同様な方法によって、電極パッド4の上にAuポール16（もしくはバンプ15）を形成し、図16に示すように、各チップ41ごとに用意されたモールド成形用上金型32内にキャビティ32Aにチップ単体41を配置する。

【0068】そして、チップ単体41の表側（またはその裏側にも）にモールド樹脂3の薄膜を成形する。その後、モールド樹脂3a（もしくはチップ単体41の裏面）を研削し、所要の半導体装置1、31を製造する。これらの工程は、第1や第2の実施例で述べたのと同様である。

【0069】

【発明の効果】請求項1の樹脂封止型半導体装置によれば、パッケージの厚さを、従来の各種方式に比べて薄くすることができる。したがって、第1に、メモリカードなどへの多段実装、ISO規格のカードへの実装が可能となる。

【0070】第2に、パッケージサイズをチップと同サイズとすることができるので、実装面積を小さくすることができます。また、高密度実装が可能になる。第3に、リードヘッドのワイヤボンディングが不要となるので、電極パッドの配置が比較的自由にできる。

【0071】その結果、回路の無駄な引き回しをする必要がなくなり、半導体チップのより一層の高集積化も実現される。第4に、半導体チップがモールド樹脂で保護されるので、チップ面へのダメージが低減し、また耐湿性も向上する。

【0072】第5に、リードフレームを有しないので、ダイボンディングやリード加工などの工程が不要となり、また、リード曲がりやコブラナリティーといったリードフレームに起因する不良も解消される。

【0073】請求項2から請求項5の製造方法によれ

ば、以上のように優れた樹脂封止型半導体装置が得られると共に、歩留りも向上されるので、結果的に低コストの製造が可能になる。

【図面の簡単な説明】

【図1】この発明の半導体装置について、一実施例を示す斜視図である。

【図2】この発明の半導体装置1を得るための半導体ウェハーの一例を示す斜視図である。

【図3】図2に示した半導体ウェハー11の中に形成されている1素子を示す概略図である。

【図4】図2に示した半導体ウェハー11について、電極パッド4が形成されたチップ13周囲部の要部断面図である。

【図5】図4に示した半導体ウェハー11において、その電極パッド4の上にバンプを形成した状態を示す要部断面図である。

【図6】通常のワイヤボンディング方式によって、電極パッド4上にAuポールを形成した状態を示す要部断面図である。

【図7】半導体ウェハー11の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。

【図8】図6の半導体ウェハー11をモールド金型21に挟み込み、Auポール16が上金型21Aに接した状態を示す概略断面図である。

【図9】半導体ウェハー11を図7または図8に示したモールド金型21で成形した後の状態を示す概略斜視図である。

【図10】モールド成形済みの半導体ウェハー11のモールド樹脂19を研削し、表面にAuポール16を露出させた状態を示す概略断面図である。

【図11】表側モールド樹脂19aの表面に露出させたAuポール16の上にメッキを施した後の状態を示す断面図である。

【図12】この発明の半導体装置の第2の実施例を示す斜視図である。

【図13】この発明の第2の実施例において、半導体ウェハー11の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。

【図14】図13でモールド成形された半導体ウェハー11を上下研削し、露出したAuポール16の上にメッキを施した状態を示す断面図である。

【図15】半導体ウェハー11から個々に分割されたチップ単体を示す斜視図である。

【図16】この発明の第3の実施例において、半導体チップ単体41の樹脂封止工程を説明する図で、モールド成形用金型に挟み込んだ状態を示す概略断面図である。

【図17】薄型半導体パッケージの厚さと、JEIDAの規格のICメモリカードの厚さとの関係を示す図である。

【図18】超薄型ICパッケージについて、ISO規格のスマートカードへのモジュールの応用例を示す側面図である。

【図19】COB方式のICパッケージについて、その実装形態の一例を示す側面図である。

【図20】テープキャリア方式のICパッケージについて、その実装形態の一例を示す側面図である。

【図21】フリップチップ方式のICパッケージについて、その実装形態の一例を示す側面図である。

【符号の説明】

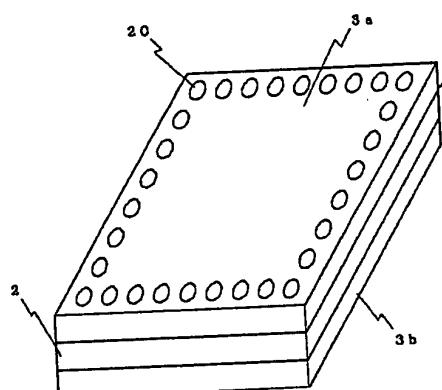
1 この発明の半導体装置

2 半導体チップ

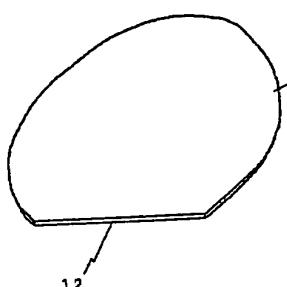
3 モールド樹脂

- 4 電極パッド
- 11 半導体ウェハー
- 12 オリフラ
- 13 チップ
- 15 パンプ
- 16 Auポール
- 17 Au線
- 18 キャビラリ
- 19 モールド樹脂
- 20 メッキ層
- 31 この発明の半導体装置
- 41 チップ単体

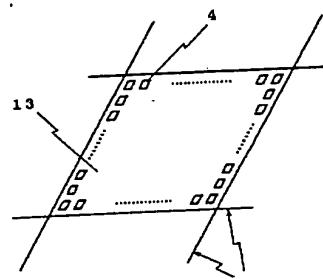
【図1】



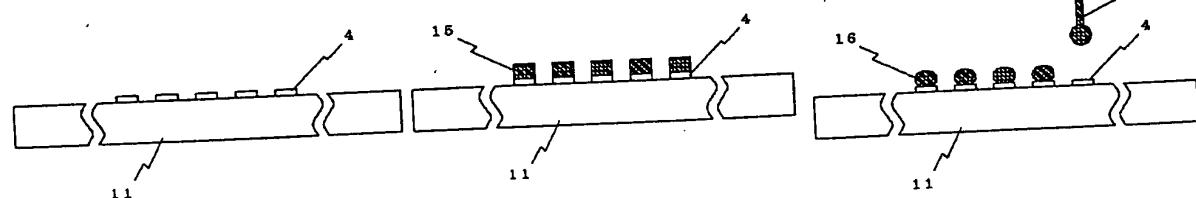
【図2】



【図3】

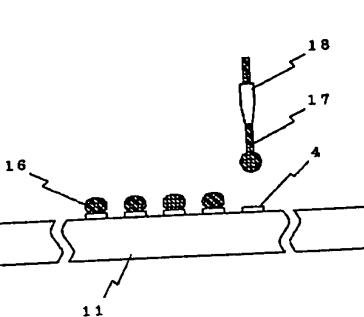


【図4】

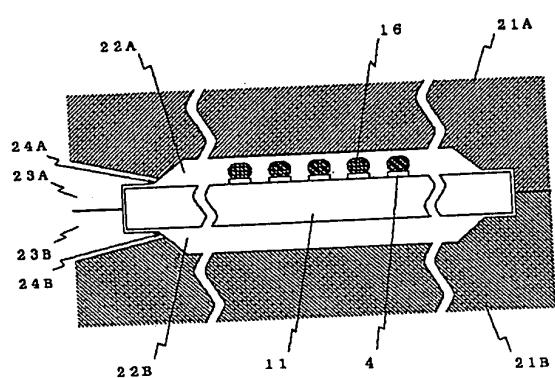


【図5】

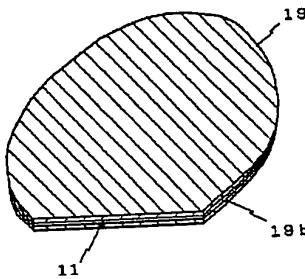
【図6】



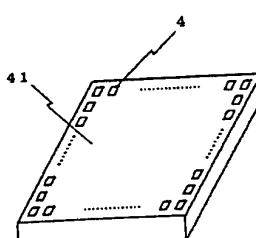
【図7】



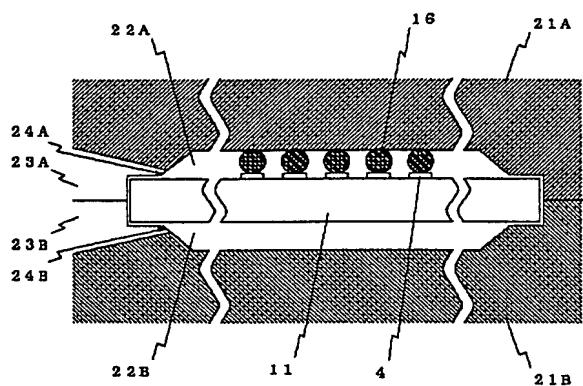
【図9】



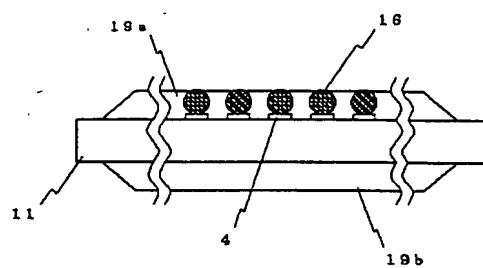
【図15】



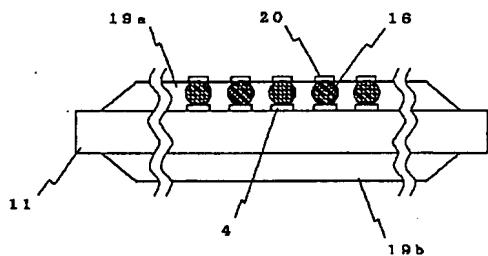
【図 8】



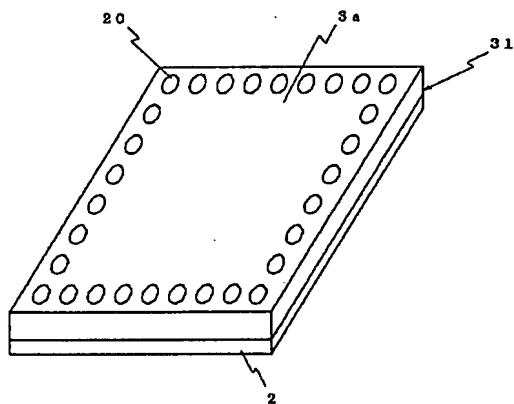
【図 10】



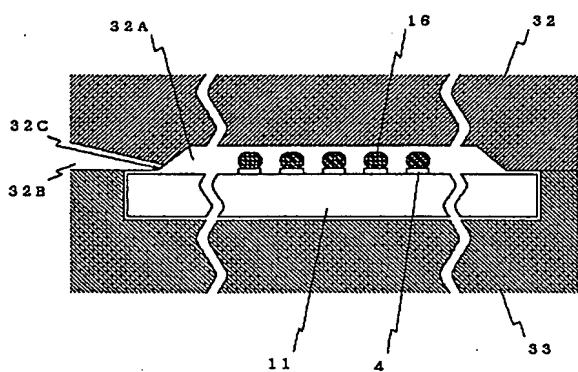
【図 11】



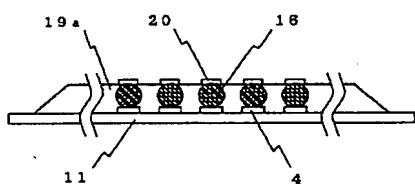
【図 12】



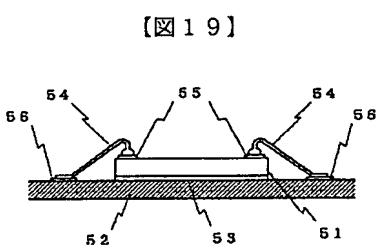
【図 13】



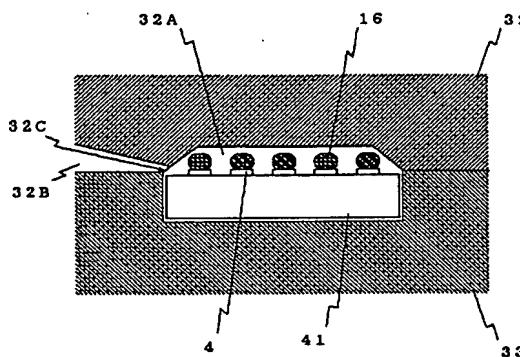
【図 14】



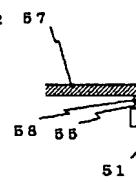
【図 18】



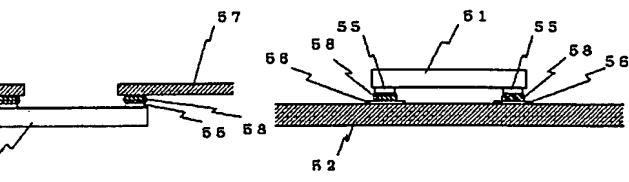
【図16】



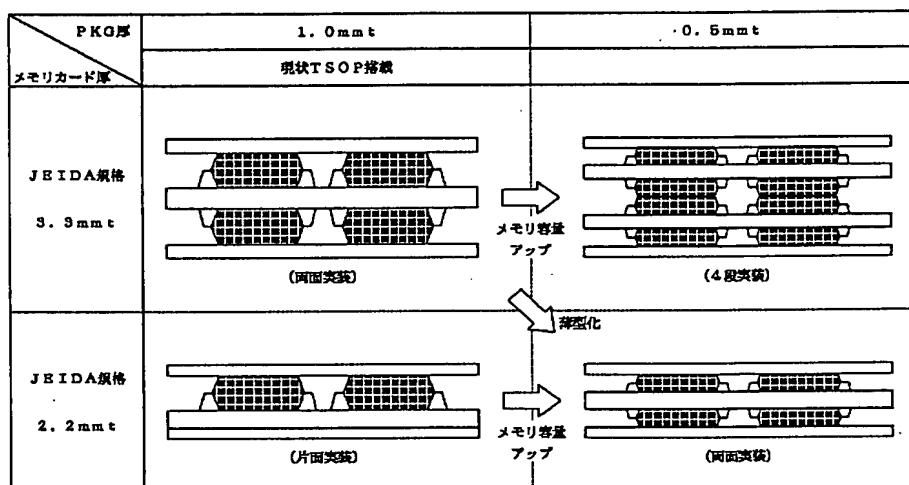
【図20】



【図21】



【図17】



フロントページの続き

(51) Int. Cl. 6

H·O·I·L 21/56

識別記号 庁内整理番号

F I

技術表示箇所

T

R

21/301

21/321